

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

XA-9630  
FUJIWARA et al  
FILED 2.27.02

日本特許庁  
JAPAN PATENT OFFICE

J1017 U.S. PTO  
10/083416  
02/27/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて #9 Party  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed 5-13-2  
with this Office

出願年月日  
Date of Application:

2001年 9月19日

出願番号  
Application Number:  
[ ST.10/C ]:

特願2001-285248  
[JP 2001-285248]

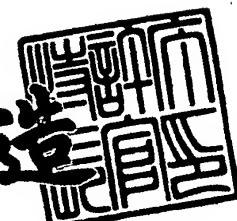
出願人  
Applicant(s):

株式会社日立製作所

2002年 2月15日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3007816

【書類名】 特許願  
 【整理番号】 H01011741  
 【提出日】 平成13年 9月19日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H01L 27/10  
 H01L 21/90

## 【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 藤原 剛

## 【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 才川 健志

## 【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 古川 亮一

## 【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 國友 正人

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

## 【代理人】

【識別番号】 100080001

## 【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板の主表面に形成されたMISFETと容量素子から成るメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の主表面に前記MISFETを形成する工程と、

(b) 前記MISFETの上部に、450°C~700°Cの温度で、プラズマCVD法を用いて絶縁膜を形成する工程と、

(c) 前記絶縁膜をエッチングすることにより溝を形成する工程と、

(d) 前記溝の内部を含む前記絶縁膜上にシリコン膜を堆積し、前記絶縁膜上のシリコン膜を除去することにより溝の内壁に沿って前記容量素子の下部電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、

前記(d)工程のシリコン膜は、その表面にシリコンの結晶核より成長した結晶粒が形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法であって、

前記(d)工程の後、さらに、

(e) 前記下部電極の上部に前記容量素子の容量絶縁膜を形成する工程と、

(f) 前記容量絶縁膜上に、前記容量素子の上部電極を構成する導電性膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1記載の半導体集積回路装置の製造方法であって、

前記半導体集積回路装置は、前記メモリセルが形成される領域と、論理回路が形成される領域とを有し、前記半導体集積回路装置の製造方法は、

前記(b)工程の前に、

(e) 前記論理回路が形成される領域に、前記論理回路を構成するnチャネル型MISFETおよびpチャネル型MISFETであって、それぞれ、n型不純物を含有するゲート電極およびp型不純物を含有するゲート電極を有するnチャ

ネル型MISFETおよびpチャネル型MISFETを、形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法であって、前記プラズマCVD法は、高密度プラズマを用いたCVD法であることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 半導体基板の主表面に形成されたMISFETと容量素子から成るメモリセルを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の主表面に前記MISFETを形成する工程と、  
(b) 前記MISFETの上部に、所定の温度で、第1の絶縁膜を堆積する工程と、

(c) 前記第1の絶縁膜上に、前記所定の温度以上の温度で第2の絶縁膜を形成する工程と、

(d) 前記第1および第2の絶縁膜をエッチングすることにより溝を形成する工程と、

(e) 前記溝の内部を含む前記絶縁膜上にシリコン膜を堆積し、前記第2の絶縁膜上のシリコン膜を除去することにより溝の内壁に沿って前記容量素子の下部電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項6記載の半導体集積回路装置の製造方法であって、前記所定の温度以上の温度は、450°C~700°Cであることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項6記載の半導体集積回路装置の製造方法であって、前記(e)工程のシリコン膜は、その表面にシリコンの結晶核より成長した結晶粒が形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項6記載の半導体集積回路装置の製造方法であって、前記(e)工程の後、さらに、  
(f) 前記下部電極の上部に前記容量素子の容量絶縁膜を形成する工程と、  
(g) 前記容量絶縁膜上に、前記容量素子の上部電極を構成する導電性膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項6記載の半導体集積回路装置の製造方法であって、前記半導体集積回路装置は、前記メモリセルが形成される領域と、論理回路が形成される領域とを有し、前記半導体集積回路装置の製造方法は、

前記(b)工程の前に、

(f) 前記論理回路が形成される領域に、前記論理回路を構成するnチャネル型MISFETおよびpチャネル型MISFETであって、それぞれ、n型不純物を含有するゲート電極およびp型不純物を含有するゲート電極を有するnチャネル型MISFETおよびpチャネル型MISFETを、形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 (a) 半導体基板の主表面にMISFETを形成する工程と、

(b) 前記MISFETの上部に、450°C~700°Cの温度で、プラズマCVD法を用いて不純物を含有する絶縁膜を形成する工程と、  
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項11記載の半導体集積回路装置の製造方法であって

前記不純物は、リンであることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項11記載の半導体集積回路装置の製造方法であって

前記プラズマCVD法は、高密度プラズマを用いたCVD法であることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 (a) 半導体基板の主表面にMISFETを形成する工程と、

(b) 前記MISFETの上部に、所定の温度で、第1の絶縁膜を堆積する工程と、

(c) 前記第1の絶縁膜の表面を平坦化する工程と、

(d) 前記第1の絶縁膜上に、前記所定の温度以上の温度で、不純物を含有する第2の絶縁膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法であって

前記不純物は、リンであることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項14記載の半導体集積回路装置の製造方法であって

前記第1の絶縁膜および第2の絶縁膜は、高密度プラズマを用いたCVD法で形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 (a) 半導体基板の主表面に形成されたMISFETと、

(b) 前記MISFETと直列に接続された容量素子であって、

(b<sub>1</sub>) 前記MISFETの上部に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記第1の絶縁膜より不純物の含有量が少ない第2の絶縁膜との積層膜中の凹部に形成されたシリコン膜よりなる下部電極と、

(b<sub>2</sub>) 前記下部電極上に形成された容量絶縁膜と、

(b<sub>3</sub>) 前記容量絶縁膜上に形成された導電性膜よりなる上部電極と、を有する容量素子と、

を有することを特徴とする半導体集積回路装置。

【請求項18】 (a) 半導体基板の主表面に形成されたMISFETと、

(b) 前記MISFETと直列に接続された容量素子であって、

(b<sub>1</sub>) 前記MISFETの上部に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、前記第1の絶縁膜より薄い第2の絶縁膜との積層膜中の凹部に形成されたシリコン膜よりなる下部電極と、

(b<sub>2</sub>) 前記下部電極上に形成された容量絶縁膜と、

(b<sub>3</sub>) 前記容量絶縁膜上に形成された導電性膜よりなる上部電極と、を有する容量素子と、

を有することを特徴とする半導体集積回路装置。

【請求項19】 請求項18記載の半導体集積回路装置であって、

前記第2の絶縁膜は、前記第1の絶縁膜より不純物の含有量が少ないことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) と論理回路等とを混載した半導体集積回路装置およびその製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】

DRAMは、情報転送用MISFET (Metal Insulator Semiconductor Field Effect Transistor) とこのMISFETに直列に接続された情報蓄積用容量素子を有している。この情報蓄積用容量素子は、例えば、下部電極となるシリコン、容量絶縁膜となる酸化タンタルおよび上部電極となる高融点金属膜を順次堆積して形成される。

【0003】

また、この情報蓄積用容量素子は、絶縁膜中に深い孔を形成し、この孔の側壁や底部に沿って下部電極や容量絶縁膜を形成することにより、素子の微細化を図り、また、容量を大きくしている。

【0004】

さらに容量を大きくするため、下部電極となるシリコンの表面に、シリコン粒からなる突起物を設けることによりその表面に凹凸を形成し、表面積を大きくする技術が採用されている。このシリコン粒からなる突起物を、HSG (Hemispherical Grained) シリコンもしくはラグ (Rugged) シリコンという。

【0005】

例えば、特開2000-22110号公報には、HSGポリシリコン膜を形成するための高温の熱処理の際に、層間絶縁膜中に含まれる水分が脱離し、その下層のポリシリコン膜とこの水分が反応して、その表面に  $SiO_2$  膜が形成されることを防止するため、前記高温の熱処理の直前に、前記水分が離脱する温度以上で熱処理を行うことにより、HSGポリシリコンを効果的に形成する技術が開示されている。

## 【0006】

## 【発明が解決しようとする課題】

本発明者らは、DRAM等の研究・開発を行っており、前述のラグポリシリコンを採用し、容量の増大を図っている。

## 【0007】

しかしながら、ラグポリシリコンが成膜される絶縁膜中の水分等の影響で、ラグポリシリコンの成長が阻害され、その表面積の確保が困難となっていた。そこで、高温の熱処理を施し、絶縁膜中の水分等を除去した後、ラグポリシリコンを成長させることを検討しているが、この場合、高温の熱処理により、下層のMISFETの特性が劣化するという問題が生じる。

## 【0008】

特に、DRAMとロジックLSI (Large Scale Integrated Circuit) とを同一半導体基板上に形成する、いわゆるシステムLSIにおいては、論理回路を、nチャネル型MISFETやpチャネル型MISFETを適宜組み合わせて形成しており、これらのMISFETの特性が劣化してしまう。

## 【0009】

例えば、これらのMISFETにおいては、n型のMISFETのゲート電極をn型とし、p型のMISFETのゲート電極をp型とする、いわゆるデュアルゲート構造が採用されている。これは、p型のMISFETのゲート電極をn型とした場合、チャネルが基板表面から深い位置に形成され（埋め込みチャネル）、ゲート電極に印加される電位の制御が困難となるためである。

## 【0010】

しかしながら、ゲート電極をp型にするために注入されるホウ素（B）は、熱処理によって拡散しやすい（漏れやすい）。このホウ素が、ゲート絶縁膜を介して半導体基板中に拡散した場合には、半導体基板の濃度プロファイルが変化してしまい、その特性が劣化する（例えば、閾値電圧がばらついてしまう）。

## 【0011】

この半導体基板の濃度プロファイルの他、熱処理は、MISFETのソース、ドレイン領域の濃度プロファイル等、種々のMISFETの特性に影響する。

【0012】

本発明の目的は、DRAMメモリセルを有する半導体集積回路装置の熱処理による負荷を低減させることにある。

【0013】

また、本発明の他の目的は、DRAMメモリセルの特性を向上させることにある。

【0014】

また、本発明の他の目的は、DRAMとnチャネル型MISFETやpチャネル型MISFETで構成される論理回路とを有する半導体集積回路装置の特性を向上させることにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

1. 本発明の半導体集積回路装置の製造方法は、半導体基板の主表面に形成されたMISFETと容量素子から成るメモリセルの前記MISFETの上部に、450°C~700°Cの温度で、プラズマCVD法を用いて絶縁膜を形成し、この絶縁膜をエッチングすることにより溝を形成した後、この溝の内部を含む絶縁膜上にシリコン膜を堆積し、前記絶縁膜上のシリコン膜を除去することにより溝の内壁に沿って前記容量素子の下部電極を形成するものである。

【0018】

2. 本発明の半導体集積回路装置の製造方法は、半導体基板の主表面に形成されたMISFETと容量素子から成るメモリセルの前記MISFETの上部に、所定の温度で、第1の絶縁膜を堆積し、この第1の絶縁膜上に、所定の温度以上の温度で第2の絶縁膜を堆積し、第1および第2の絶縁膜をエッチングすること

により溝を形成した後、溝の内部を含む前記第2の絶縁膜上にシリコン膜を堆積し、前記第2の絶縁膜上のシリコン膜を除去することにより溝の内壁に沿って前記容量素子の下部電極を形成するものである。

## 【0019】

3. 本発明の半導体集積回路装置の製造方法は、半導体基板の主表面にMISFETを形成し、このMISFETの上部に、450°C～700°Cの温度で、プラズマCVD法を用いて不純物を含有する絶縁膜を形成するものである。

## 【0020】

4. 本発明の半導体集積回路装置の製造方法は、半導体基板の主表面にMISFETを形成し、このMISFETの上部に、所定の温度で、第1の絶縁膜を堆積し、この第1の絶縁膜の表面を平坦化した後、第1の絶縁膜上に、所定の温度以上の温度で、不純物を含有する第2の絶縁膜を形成するものである。

## 【0021】

5. 本発明の半導体集積回路装置は、半導体基板の主表面に形成されたMISFETと、このMISFETと直列に接続された容量素子であって、MISFETの上部に形成された第1の絶縁膜と、この第1の絶縁膜上に形成され、第1の絶縁膜より不純物の含有量が少ない第2の絶縁膜との積層膜中の凹部に形成されたシリコン膜よりなる下部電極と、この下部電極上に形成された容量絶縁膜と、この容量絶縁膜上に形成された導電性膜よりなる上部電極と、を有する容量素子と、を有するものである。

## 【0022】

6. 本発明の半導体集積回路装置は、半導体基板の主表面に形成されたMISFETと、このMISFETと直列に接続された容量素子であって、MISFETの上部に形成された第1の絶縁膜と、この第1の絶縁膜上に形成され、第1の絶縁膜より薄い第2の絶縁膜との積層膜中の凹部に形成されたシリコン膜よりなる下部電極と、この下部電極上に形成された容量絶縁膜と、この容量絶縁膜上に形成された導電性膜よりなる上部電極と、を有する容量素子と、を有するものである。

## 【0023】

## 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

## 【0024】

## (実施の形態1)

本実施形態のDRAMの製造方法を図1～図12を用いて工程順に説明する。なお、半導体基板の断面を示す各図の左側部分はDRAMのメモリセルが形成される領域（メモリセル形成領域（MCFa））を示し、右側部分は論理回路等が形成される論理回路形成領域（LCFa）を示している。

## 【0025】

このメモリセル形成領域には、情報転送用MISFETQsと情報蓄積用容量素子（キャパシタ）Cから成るメモリセルが形成され、論理回路形成領域には、論理回路を構成するnチャネル型MISFETQnおよびpチャネル型MISFETQpが形成される。

## 【0026】

まず、図1に示すように、半導体基板（以下、単に基板という）1をエッチングして溝を形成した後、この溝の内部に酸化シリコン膜7を埋め込むことにより素子分離2を形成する。次に、基板1にp型不純物（例えば、ホウ素（B））およびn型不純物（例えば、リン（P））をイオン打ち込みした後、熱処理でこれらの不純物を拡散させることによって、メモリセル形成領域の基板1にp型ウエル3を形成し、論理回路形成領域の基板1にp型ウエル3およびn型ウエル4を形成する。

## 【0027】

次に、情報転送用MISFETQsおよびnチャネル型MISFETQnの閾値電圧を調整するために、これらのMISFETが形成されるp型ウエル3に、不純物をイオン打ち込みする。また、pチャネル型MISFETQpの閾値電圧を調整するために、これらのMISFETが形成されるn型ウエル4に、不純物をイオン打ち込みする。

## 【0028】

次に、フッ酸系の洗浄液を用いて基板1（p型ウエル3およびn型ウエル4）の表面をウェット洗浄した後、熱酸化によりp型ウエル3およびn型ウエル4のそれぞれの表面に清浄なゲート酸化膜8を形成する。

## 【0029】

次に、ゲート酸化膜8の上部に膜厚100nm程度の低抵抗多結晶シリコン膜（9a）をCVD（Chemical Vapor Deposition）法で堆積する。続いて、論理回路形成領域およびメモリセル形成領域のp型ウエル3上の低抵抗多結晶シリコン膜中に、リン（P）イオンを注入し、低抵抗多結晶シリコン膜をn型にする。次いで、論理回路形成領域のn型ウエル4上の低抵抗多結晶シリコン膜中に、ホウ素イオンを注入し、低抵抗多結晶シリコン膜をp型にする。n型の低抵抗多結晶シリコン膜を9anと、p型の低抵抗多結晶シリコン膜を9apとする。

## 【0030】

続いて、低抵抗多結晶シリコン膜（9an、9ap）の上部にスパッタリング法で膜厚5nm程度のWN膜9bと膜厚80nm程度のW膜9cとを堆積し、さらにその上部にCVD法で膜厚220nm程度の窒化シリコン膜10を堆積する。

## 【0031】

次に、フォトレジスト膜（図示せず、以下単に「レジスト膜」という）をマスクにして窒化シリコン膜10、W膜9c、WN膜9bおよび多結晶シリコン膜（9an、9ap）をドライエッチングすることにより、n型もしくはp型のゲート電極9n、9pを形成する。即ち、論理回路形成領域のn型ウエル4上には、p型のゲート電極9pを形成する。また、メモリセル形成領域のp型ウエル3上および論理回路形成領域のp型ウエル3上には、n型のゲート電極9nを形成する。このn型のゲート電極9nは、n型の多結晶シリコン膜9an、WN膜9bおよびW膜9cからなり、p型のゲート電極9pは、p型の多結晶シリコン膜9ap、WN膜9bおよびW膜9cからなる。また、これらのゲート電極9n、9pの上部には、窒化シリコン膜10からなるキャップ絶縁膜が形成される。なお、メモリセル形成領域に形成されたゲート電極9nは、ワード線WLとして機能する。

## 【0032】

次に、メモリセル形成領域および論理回路形成領域のゲート電極9nの両側にリン(P)イオンをイオン打ち込みすることによってn<sup>-</sup>型半導体領域11を形成する。次いで、論理回路形成領域のn型ウエル4上のゲート電極9pの両側にフッ化ホウ素(BF)イオンをイオン打ち込みすることによってp<sup>-</sup>型半導体領域12を形成する。

## 【0033】

次に、図2に示すように、基板1上にCVD法で膜厚50nm程度の窒化シリコン膜13を堆積した後、メモリセル形成領域の基板1の上部をレジスト膜(図示せず)で覆い、論理回路形成領域の窒化シリコン膜13を異方的にエッチングすることによって、論理回路形成領域のゲート電極9n、9pの側壁にサイドウォールスペーサを形成する。

## 【0034】

次に、論理回路形成領域のp型ウエル3上のゲート電極9nの両側にヒ素(As)イオンをイオン打ち込みすることによってn<sup>+</sup>型半導体領域14(ソース、ドレイン)を形成する。次いで、論理回路形成領域のn型ウエル4上のゲート電極9pの両側にフッ化ホウ素(BF)イオンをイオン打ち込みすることによってp<sup>+</sup>型半導体領域15(ソース、ドレイン)を形成する。

## 【0035】

ここまで工程で、論理回路形成領域にLDD(Lightly Doped Drain)構造のソース、ドレイン(n<sup>-</sup>型半導体領域11およびn<sup>+</sup>型半導体領域14、p<sup>-</sup>型半導体領域12およびp<sup>+</sup>型半導体領域15)を備えたnチャネル型MISFETQnおよびpチャネル型MISFETQpが形成され、メモリセル形成領域にnチャネル型MISFETで構成される情報転送用MISFETQsが形成される。

## 【0036】

このように、論理回路形成領域のnチャネル型MISFETQnのゲート電極9nをn型に、pチャネル型MISFETQpのゲート電極9pをp型(いわゆるデュアルゲート構造)にすれば、基板の表面にチャネルが形成され、サブスレ

ッショルド特性、短チャネル効果が改善される。

【0037】

次に、ゲート電極9n、9pの上部に酸化シリコン膜16を形成し、レジスト膜（図示せず）をマスクにしてメモリセル形成領域のn<sup>-</sup>型半導体領域11上の酸化シリコン膜16をドライエッチングし、窒化シリコン膜13表面を露出させる。その後、露出した窒化シリコン膜13をドライエッチングすることによって、n<sup>-</sup>型半導体領域11の上部にコンタクトホール18、19を形成する。

【0038】

次に、コンタクトホール18、19を介してヒ素（As）イオンをイオン打ち込みすることによってn<sup>+</sup>型半導体領域17を形成する。次いで、コンタクトホール18、19の内部にプラグ20を形成する。プラグ20を形成するには、コンタクトホール18、19の内部を含む酸化シリコン膜16の上部にリン（P）などのn型不純物をドープした低抵抗多結晶シリコン膜をCVD法で堆積し、続いてこの多結晶シリコン膜をCMP（Chemical Mechanical Polishing）法で研磨してコンタクトホール18、19の内部のみに残すことによって形成する。

【0039】

次に、図3に示すように、酸化シリコン膜16の上部にCVD法で膜厚20nm程度の酸化シリコン膜21を堆積した後、レジスト膜（図示せず）をマスクにしたドライエッチングで論理回路形成領域の酸化シリコン膜21およびその下層の酸化シリコン膜16をドライエッチングすることによって、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域14の上部にコンタクトホール22を形成し、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域15の上部にコンタクトホール23を形成する。また、このとき同時に、メモリセル形成領域のコンタクトホール18中のプラグ20の上部にスルーホール25を形成する。

【0040】

次いで、論理回路形成領域のコンタクトホール22、23内を含む酸化シリコン膜16の上部に、コバルト（Co）膜を、スパッタ法により堆積し、Co膜と論理回路形成領域のn<sup>+</sup>型半導体領域14およびp<sup>+</sup>型半導体領域15との接触部において、シリサイド化反応を生じさせることにより、コバルトシリサイド（C

○ S i) 層 S を形成する。次いで、未反応の C o 膜を除去する。

【0041】

このように、論理回路形成領域のM I S F E Tのソース、ドレイン領域 ( $n^+$ 型半導体領域14、 $p^+$ 型半導体領域15) 上にシリサイド層Sを形成することにより、後述するプラグ27とソース、ドレイン領域との接触抵抗を低減することができ、これらのM I S F E Tで構成される論理回路の高速化を図ることができる。

【0042】

次に、コンタクトホール22、23の内部およびスルーホール25の内部にプラグ27を形成する。このプラグ27は、例えばコンタクトホール22、23の内部およびスルーホール25の内部を含む酸化シリコン膜21の上部にC V D法で薄いT i N膜を堆積し、さらに、W膜を堆積した後、酸化シリコン膜21の上部のW膜およびT i N膜をC M P法で研磨し、これらの膜をコンタクトホール22、23の内部およびスルーホール25の内部のみに残すことによって形成する。

【0043】

次に、メモリセル形成領域の酸化シリコン膜21の上部にピット線B Lを形成し、論理回路形成領域の酸化シリコン膜21の上部に第1層目の配線30～32を形成する。ピット線B Lおよび第1層目の配線30～32は、例えば酸化シリコン膜21の上部にスパッタリング法でW膜を堆積した後、レジスト膜をマスクにしてこのW膜をドライエッチングすることによって形成する。

【0044】

次に、図4に示すように、ピット線B Lおよび第1層目の配線30～32の上部に酸化シリコン膜34を形成する。

【0045】

次に、メモリセル形成領域の酸化シリコン膜34およびその下層の酸化シリコン膜21をドライエッチングすることによって、コンタクトホール19内のプラグ20の上部にスルーホール38を形成する。

【0046】

次に、スルーホール38の内部にプラグ39を形成する。プラグ39は、スルーホール38の内部を含む酸化シリコン膜34の上部にn型不純物（例えば、リン）をドープした低抵抗多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してスルーホール38の内部のみに残すことによって形成する。

## 【0047】

次に、図5に示すように、酸化シリコン膜34およびプラグ39の上部にCVD法で膜厚100nm程度の窒化シリコン膜40を堆積し、続いて窒化シリコン膜40の上部にCVD法で1.4μm程度の酸化シリコン膜41を堆積する。

## 【0048】

この酸化シリコン膜41は、モノシラン( $\text{SiH}_4$ )と酸素とを原料とした高密度プラズマCVD法で形成する。この際の成膜温度（基板温度）は、450℃～700℃とする。

## 【0049】

このように、本実施の形態によれば、その表面にキャパシタCが形成される酸化シリコン膜41を450℃～700℃の高温下のプラズマCVD法で成膜したので、水分や不純物の含有量が少ない酸化シリコン膜41を形成することができる。この不純物とは、成膜時（気相反応時）に生じる副生成物等を示す。

## 【0050】

モノシランの他、例えば、テトラエトキシシラン(TEOS)を原料として用いてもよい。この場合、副生成物として、炭素や炭素化合物が生じる。なお、ここでは高密度プラズマCVD法を用いたが、処理温度が450℃～700℃であれば、通常のプラズマCVD法を用いてもよい。

## 【0051】

この高密度プラズマCVD法とは、低圧かつ高電子密度雰囲気で行われるCVDであって、通常のプラズマCVDでは、圧力1～10Torrで、電子密度が $1 \times 10^9 \sim 1 \times 10^{10}$ で処理が行われるのに対し、高密度プラズマCVD法では、圧力0.001～0.01Torr( $1 \text{ Torr} = 1.33322 \times 10^2 \text{ Pa}$ )で、電子密度が $1 \times 10^{12}$ 以上で処理が行われるものである。また、高密度プラズマCVD法にお

いては、基板印加電流を制御することにより基板に衝突するイオン量を変更することができ、容易に基板温度をコントロールすることができる。

## 【0052】

次いで、図6に示すように、レジスト膜(図示せず)をマスクにしてメモリセル形成領域の酸化シリコン膜41をドライエッティングし、続いてこの酸化シリコン膜41の下層の窒化シリコン膜40をドライエッティングすることにより、プラグ39の上部に溝42を形成する。

## 【0053】

次に、溝42の内部を含む酸化シリコン膜41の上部に、n型不純物(リン)をドープした膜厚50nm程度のアモルファスシリコン膜43aをCVD法で堆積した後、溝42の内部にレジスト膜Rを埋め込み、酸化シリコン膜41の上部のアモルファスシリコン膜43aをエッチバックすることにより、溝42の内壁に沿ってアモルファスシリコン膜43aを残す。

## 【0054】

次に、レジスト膜Rを除去し、溝42の内部に残ったアモルファスシリコン膜43aの表面をフッ酸系の洗浄液でウェット洗浄した後、図7に示すように、減圧雰囲気中でアモルファスシリコン膜43aの表面にモノシラン(SiH<sub>4</sub>)を供給し、続いて基板1に600°C程度の熱処理を施し、アモルファスシリコン膜43aを多結晶化すると共に、その表面にシリコン粒43bを成長させる。これにより、その表面に凹凸を有する多結晶シリコン膜43(43a、43b)が溝42の内壁に沿って形成される。この多結晶シリコン膜43は、キャパシタCの下部電極として使用される。

## 【0055】

このように、本実施の形態によれば、酸化シリコン膜41を450°C~700°Cの高温下のプラズマCVD法で成膜し、水分や不純物の含有量が少ない酸化シリコン膜41を形成しているので、シリコン粒を成長させる際に、酸化シリコン膜41からの脱ガス量を低減できる。その結果、かかるガスによってシリコン粒の成長が阻害されず、また、シリコン粒の原料となるモノシランの供給が阻害されることなく、多結晶シリコン膜43の表面積を大きく確保することができる。

## 【0056】

即ち、例えば、プラズマCVD法を用いて、400°C以下で酸化シリコン膜41を成膜した場合には、シリコン粒を成長させる際に、酸化シリコン膜41からの脱ガスにより、シリコン粒の成長が阻害され、また、シリコン粒の原料となるモノシランの供給が阻害され、多結晶シリコン膜43の表面積を確保することができない。

## 【0057】

また、酸化シリコン膜41からの脱ガスを低減するため、酸化シリコン膜41の形成後、アモルファスシリコン膜43aの成膜前に熱処理を施すことにより酸化シリコン膜41中に含まれる水分や不純物を除去することも可能であるが、酸化シリコン膜41を厚く堆積した後においては、かなり高温で長時間の熱処理（例えば、750°C、2分間の熱処理）を行う必要がある。

## 【0058】

このような、高温で長時間の熱処理を施すと、MISFETQs、Qn、Qpの特性が劣化してしまう。具体的には、これらのMISFETのソース、ドレインを構成する半導体領域の濃度プロファイルが変化し、所望の特性を維持することができなくなる。

## 【0059】

また、論理回路領域にデュアルゲート構造のMISFETが形成されている場合には、ゲート電極中の不純物が、ゲート絶縁膜を介し基板中まで拡散し得る。特に、p型のゲート電極中に注入されているホウ素（B）は、拡散しやすく（漏れやすく）、その特性が損なわれやすい。

## 【0060】

また、これらのMISFETの他、多結晶シリコン膜により構成される抵抗素子であって、その抵抗値を膜中の不純物濃度によって制御されている抵抗素子等が、形成されている場合には、膜中の不純物が拡散することによって、その抵抗値が変化してしまう。

## 【0061】

また、このような不純物の漏れは、各素子において一様でなく、あらかじめその漏れ量を考慮し、不純物を注入することは非常に困難である。

## 【0062】

これに対し、本実施の形態によれば、酸化シリコン膜41を450°C~700°Cの高温下のプラズマCVD法で成膜したので、その成膜中に水分や不純物を除去することができ、酸化シリコン膜41の成膜後に、水分等を除去するための熱処理工程を省く、もしくは、熱処理時間の短縮化や熱処理温度の低温化を図ることができる。

## 【0063】

従って、熱負荷を低減することができるので、MISFETの特性の劣化を防止、特に、ホウ素の漏れ量を低減することができる。

## 【0064】

また、熱負荷を低減することにより、配線、例えば、ビット線BLや第1層目の配線30~32等の剥離や断線を防止することができる。

## 【0065】

なお、本実施の形態においては、前述した通り、シリコン粒43bを600°Cで成長させたので、酸化シリコン膜41を600°C以上で成膜すれば、シリコン粒の成長時の脱ガス量をさらに低減することができる。

## 【0066】

図8に、様々な条件で成膜した場合〔(a)：テトラエトキシシランを原料とし、プラズマCVD法を用い、400°Cで成膜した場合、(b)：テトラエトキシシランを原料とし、高周波と低周波の2種のプラズマを用いたプラズマCVD法で、400°Cで成膜した場合、(c)：テトラエトキシシランとリンを含むガスを原料とし、プラズマCVD法を用い、400°Cで成膜した場合、(d)：モノシランを原料とし、高密度プラズマCVD法を用い、600°Cで成膜した場合〕の酸化シリコン膜のTDS (Thermal desorption spectroscopy) 分析による水分離脱特性を示す。図8に示すグラフの縦軸は、1cm<sup>2</sup>あたりの相対イオン(H<sub>2</sub>O)強度を示し、脱離した水分量が大きいと、その数値が大きくなる。また、横軸は、温度を示す。グラフ(a)では、600°Cを越えたあたりから水分

の脱離量が多くなり、およそ700°Cでピークとなる。これに対し、グラフ(d)では、700°Cあたりから水分の脱離量が大きくなり、800°C付近でピークとなるが、その量は、グラフ(a)の場合と比較し、かなり小さくなっている。なお、グラフ(b)に示すように、高周波と低周波の2種のプラズマを用いて成膜した場合は、グラフ(a)に比べ水分の脱離は改善されている。また、グラフ(c)に示すように、不純物(リン)を含有させた場合は、より低い温度から水分の脱離が見られた。

#### 【0067】

図9は、図8に示した各膜に熱処理を施した後の水分脱離特性を示す。(a1)は、(a)の膜に、750°Cで2分の熱処理を施した場合、(a2)は、(a)の膜に、700°Cで1分の熱処理を施した場合、(b')は、(b)の膜に、700°Cで1分の熱処理を施した場合、(c')は、(c)の膜に、700°Cで1分の熱処理を施した場合の水分脱離特性を示す。グラフ(a1)、(a2)に示すように、(a)の膜に熱処理を施した後は、その後の水分の脱離量は減少し(図8のグラフ(a)参照)、また、これらのグラフを比較して明らかのように、高温で長時間の熱処理を施した膜の方が、水分の脱離量は少ない。また、グラフ(b')および(c')においても、熱処理を施した後は、その後の水分の脱離量は減少している。これに対し、グラフ(d')と、図8のグラフ(d)を対比して明らかのように、本実施の形態で示した条件で成膜した場合は、その後に熱処理を行っても水分の脱離量は、減少していないことがわかる。これは、成膜時に膜中の水分が充分に除去されているからと考えられる。

#### 【0068】

図10に、テトラエトキシシランを原料とし、高周波と低周波の2種のプラズマを用いたプラズマCVD法で成膜した膜(グラフ(b))およびモノシランを原料とし、高密度プラズマCVD法を用いて、600°Cで成膜した膜(グラフ(d))のそれぞれに、異なった条件で熱処理を施した場合のシリコン粒の成長の程度を示す。縦軸の占有率(%)とは、シリコン膜(アモルファスシリコン膜43a)上のシリコン粒(43b)の占有率を示している。この占有率は、シリコ

ン粒の状態を画像認識し、画像処理により求めることができる。

【0069】

グラフ（b）に示すように、テトラエトキシシランを原料とし、高周波と低周波の2種のプラズマを用いたプラズマCVD法で成膜した場合は、その後の熱処理温度が高いほど占有率が高くなっている。また、同じ温度で処理を行った場合は、処理時間が長いほど占有率が高くなっている。

【0070】

これに対して、モノシランを原料とし、高密度プラズマCVD法を用いて600°Cで成膜した膜の場合は、その後の熱処理温度や処理時間に関係なく、ほぼ63%前後の占有率が得られ、熱処理を行わない場合も同様の占有率を得られた。従って、モノシランを原料とし、高密度プラズマCVD法を用いて、600°Cで成膜した膜の場合は、その後の熱処理を行わなくても、60%以上の占有率を得ることができる。

【0071】

図11は、図9のグラフ（d）に示した各膜上に、後述する容量絶縁膜および上部電極を形成した場合の容量を示す。図11に示すように、モノシランを原料とし、高密度プラズマCVD法を用いて、600°Cで成膜した膜の場合は、その後の熱処理を行わなくても30fF以上の容量を確保することができ、その後、700°C、1分の熱処理を施した膜と同様の容量を得ることができた。従って、モノシランを原料とし、高密度プラズマCVD法を用いて、600°Cで成膜した膜の場合は、その後の熱処理を行わなくても、30fF以上の容量を得ることができる。

【0072】

次に、容量絶縁膜および上部電極の形成工程について説明する。図12に示すように、溝42の内部を含む酸化シリコン膜41の上部にCVD法で膜厚10nm程度の酸化タンタル( $Ta_2O_5$ )膜44を堆積した後、酸化雰囲気中、約650～750°Cの熱処理を施すことによって、酸化タンタル膜44を結晶化する。この酸化タンタル膜44は、キャパシタCの容量絶縁膜として使用される。

【0073】

次に、溝42の内部を含む酸化タンタル膜44の上部にCVD法とスパッタリング法とを併用して膜厚100nm程度のTiN膜45を堆積した後、レジスト膜（図示せず）をマスクにしてTiN膜45と酸化タンタル膜44とをドライエッチングすることにより、TiN膜45からなる上部電極、酸化タンタル膜44からなる容量絶縁膜および多結晶シリコン膜43からなる下部電極で構成されるキャパシタCを形成する。ここまで工程により、情報転送用MISFETQsとこれに直列に接続されたキャパシタCとからなるDRAMのメモリセルが完成する。

## 【0074】

次に、キャパシタCの上部に、CVD法で酸化シリコン膜50を堆積する。次に、レジスト膜（図示せず）をマスクにして論理回路形成領域の第1層配線30の上部の酸化シリコン膜50、41、窒化シリコン膜40および酸化シリコン膜34をドライエッチングすることによってスルーホール51を形成した後、スルーホール51の内部に、プラグ27と同様にプラグ53を形成する。

## 【0075】

次に、酸化シリコン膜50およびプラグ53の上部に第2層目の配線54～56を形成する。次いで、第2層目の配線54～56の上部に酸化シリコン膜を介して第3層目の配線が形成され、第3層目の配線の上部に酸化シリコン膜と窒化シリコン膜とで構成された保護膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

## 【0076】

なお、本実施の形態においては、酸化シリコン膜41の形成後、アモルファスシリコン膜43aの成膜前に熱処理を行わなかったが、例えば、700°Cで10秒程度の熱処理を施してもよい。

## 【0077】

## (実施の形態2)

実施の形態1においては、酸化シリコン膜41をモノシラン( $SiH_4$ )と酸素とを原料とした高密度プラズマCVD法で形成したが、以下に説明するように、この酸化シリコン膜を2層構造としてもよい。

## 【0078】

本発明の実施の形態2である半導体集積回路装置の製造方法を図13および図14を用いて説明する。なお、酸化シリコン膜34中のプラグ39の形成までの工程は、図1～図4を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

## 【0079】

この酸化シリコン膜34およびプラグ39の上部に、図13に示すように、CVD法で膜厚100nm程度の窒化シリコン膜40を堆積し、続いて窒化シリコン膜40の上部にCVD法で0.5～2.0μm程度の酸化シリコン膜41aを堆積する。次いで、この酸化シリコン膜41aの上部に、100nm以上の酸化シリコン膜41bを堆積する。

## 【0080】

この酸化シリコン膜41bは、モノシラン( $\text{SiH}_4$ )と酸素とを原料とした高密度プラズマCVD法で形成する。この際の成膜温度は、450℃～700℃とする。

## 【0081】

次いで、図14に示すように、酸化シリコン膜41a、41bおよびその下層の窒化シリコン膜40をドライエッチングすることにより、プラグ39の上部に溝42を形成する。

## 【0082】

次いで、実施の形態1の場合と同様に、多結晶シリコン膜43からなる下部電極、酸化タンタル膜44からなる容量絶縁膜およびTiN膜45からなる上部電極を形成する。

## 【0083】

さらに、酸化シリコン膜50、プラグ53および第2層目の配線54～56を実施の形態1と同様に形成する。

## 【0084】

このように、本実施の形態によれば、その表面にキャパシタCが形成される酸化シリコン膜41bを450℃～700℃の高温下のプラズマCVD法で成膜し

たので、水分や不純物の含有量が少ない酸化シリコン膜41bを形成することができる。その結果、実施の形態1で説明したように、酸化シリコン膜41a、41bからの脱ガス、特に、その上面から出るガスの量を低減でき、脱ガスによってシリコン粒の成長が阻害されず、多結晶シリコン膜43の表面積を大きく確保することができる。

【0085】

また、本実施の形態によれば、酸化シリコン膜41a、41bの成膜後に、水分等を除去するための熱処理工程を省く、もしくは、熱処理時間の短縮化や熱処理温度の低温化を図ることができる。その結果、MISFETの特性の劣化を防止、特に、ホウ素の漏れ量を低減することができる等の実施の形態1で説明した効果を得ることができる。

【0086】

さらに、本実施の形態によれば、酸化シリコン膜41bのみを450°C～700°Cの高温下のプラズマCVD法で成膜したので、膜応力による配線（例えば、ピット線BLや第1層配線30～32）の剥離や断線等の発生を低減することができる。即ち、水分等の少ない緻密な膜を厚く堆積した場合は、膜応力が大きくなることから、配線の剥離や断線等が発生しやすくなるが、この問題を回避することができる。

【0087】

また、高密度プラズマCVD装置を用いた場合は、装置自身が高価であるため、当該装置による処理時間が長いと製品コストが高くなってしまうが、本実施の形態によれば、酸化シリコン膜41bのみを当該装置で成膜すればよく、製品コストを低減することができる。

【0088】

（実施の形態3）

実施の形態1および2においては、キャパシタCが形成される酸化シリコン膜に本発明を適用したが、以下に示すように、リン等の不純物を含有した層間絶縁膜に、本発明を適用することも可能である。

【0089】

図15は、実施の形態3である半導体集積回路装置の製造方法を示すための基板の要部断面図である。

【0090】

この図15に示すnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>は、実施の形態1で説明したMISFETQ<sub>n</sub>、Q<sub>p</sub>と同様に形成することができるのでその詳細な説明は省略する。

【0091】

図15に示すように、nチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>上に、窒化シリコン膜60を堆積する。この窒化シリコン膜60は、ソース、ドレイン領域（n<sup>+</sup>型半導体領域14、p<sup>+</sup>型半導体領域15）上にコンタクトホールを形成する際のエッチングストッパーとしての役割を果たす。このコンタクトホール内には、プラグが形成される。

【0092】

次いで、窒化シリコン膜60の上部に、リン（P）等の不純物を添加した酸化シリコン膜61を堆積する。このように酸化シリコン膜61中に不純物を含有させるのは、この不純物によって製造工程中における重金属等の汚染物を捕獲し、MISFET等の素子を保護する（いわゆる、ゲッタリングの）ためである。

【0093】

この不純物を含有した酸化シリコン膜61は、モノシラン（SiH<sub>4</sub>）、酸素およびリンを含むガスを原料とした高密度プラズマCVD法で形成する。この際の成膜温度は、450°C～700°Cとする。

【0094】

このように、本実施の形態によれば、リン（P）等の不純物を添加した酸化シリコン膜61を450°C～700°Cの高温下のプラズマCVD法で成膜したので、水分や成膜時に生じる副生成物等の含有量が少ない酸化シリコン膜61を形成することができる。

【0095】

従って、酸化シリコン膜61中に含まれる水分や副生成物等を除去するためのこの後の熱処理工程を省く、もしくは、熱処理時間の短縮化や熱処理温度の低温

化を図ることができ、MISFETの特性の劣化を防止することができる。

【0096】

特に、酸化シリコン膜にリン(P)等の不純物を含有させた場合には、吸湿性が高くなるため、成膜後の熱処理が重要となる。この熱処理を、成膜後に行う場合には、高温で長時間の熱処理(例えば、700~900°C、10秒~30分間の熱処理)が必要となる。このように高温で長時間の熱処理を施した場合には、実施の形態1で詳細に説明したように、MISFETを構成する半導体領域の濃度プロファイルが変化し、所望の特性を維持することができなくなる。特に、p型のゲート電極9p中に注入されているホウ素(B)は、拡散しやすく、その特性が損なわれやすい。

【0097】

これに対し、本実施の形態においては、その成膜中に水分や副生成物等を除去することができ、酸化シリコン膜61の成膜後に、水分等を除去するための熱処理工程を省く、もしくは、熱処理時間の短縮化や熱処理温度の低温化を図ることができる。

【0098】

従って、熱負荷を低減することができるので、MISFET(Qn、Qp)の特性の劣化を防止、特に、p型のゲート電極9p中のホウ素の漏れ量を低減することができる。

【0099】

この後、酸化シリコン膜61中にプラグ等が形成され、さらに、この上部に第1層配線が形成されるが、それらの図示および詳細な説明は省略する。

【0100】

(実施の形態4)

実施の形態3においては、酸化シリコン膜61を単層で構成したが、以下に説明するように、この酸化シリコン膜を2層構造としてもよい。

【0101】

図16は、実施の形態4である半導体集積回路装置の製造方法を示すための基板の要部断面図である。

## 【0102】

図16に示すnチャネル型MISFETQnおよびpチャネル型MISFETQpは、実施の形態1で説明したMISFETQn、Qpと同様に形成することができるのでその詳細な説明は省略する。

## 【0103】

図16に示すように、nチャネル型MISFETQnおよびpチャネル型MISFETQp上に、CVD法で酸化シリコン膜61aを堆積する。なお、この際、高密度プラズマCVD法を用いれば、成膜成分（この場合酸化シリコン）が堆積すると同時に、高密度プラズマによるエッチングが同時に起こり、幅の狭い微細な溝であっても、溝の内部まで酸化シリコンを埋め込むことができる。

## 【0104】

次いで、酸化シリコン膜61aの表面を、CMP法で研磨し、平坦化する。

## 【0105】

次に、酸化シリコン膜61a上に、リン（P）等の不純物を添加した酸化シリコン膜61bを堆積する。このように、酸化シリコン膜61b中に不純物を含有させるのは、実施の形態3で説明したように、ゲッタリングのためである。

## 【0106】

この不純物を含有した酸化シリコン膜61bは、モノシラン（SiH<sub>4</sub>）、酸素およびリンを含むガスを原料とした高密度プラズマCVD法で形成する。この際の成膜温度は、450°C～700°Cとする。

## 【0107】

このように、MISFET上の不純物を含有する酸化シリコン膜61bを450°C～700°Cの高温下のプラズマCVD法で成膜したので、水分や副生成物等の含有量が少ない酸化シリコン膜61bを形成することができる。

## 【0108】

従って、実施の形態3の場合と同様に、酸化シリコン膜61b中に含まれる水分や副生成物等を除去するための熱処理工程を省く、もしくは、熱処理時間の短縮化や熱処理温度の低温化を図ることができ、MISFETの特性の劣化を防止することができる。

## 【0109】

また、CMP法のように薬液を用いて研磨を行う場合は、不純物を含有させた酸化シリコン膜を直接研磨すると、かかる膜の吸湿性が高いことから、水分を除去するための熱処理をより高温、長時間行わなければならず、熱負荷がさらに大きくなる。

## 【0110】

しかしながら、本実施の形態においては、酸化シリコン膜61aを堆積することによりMISFET (Q<sub>n</sub>、Q<sub>p</sub>) による段差を埋め込んだ後、平坦化し、不純物を含有する酸化シリコン膜61bを形成したので、かかる問題を回避することができる。

## 【0111】

また、酸化シリコン膜61aと61bで層間絶縁膜を構成することで、実施の形態2で説明したように、膜応力を小さくでき、配線（ゲート電極も含む）の剥離や断線等の発生を低減することができる。

## 【0112】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【0113】

特に、実施の形態1～4では、高密度プラズマCVDを用いたが、この他、プラズマCVDと熱CVDを組み合わせた方法で処理を行ってもよい。

## 【0114】

## 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

## 【0115】

半導体基板の主表面に形成されたMISFETと容量素子から成るメモリセルの前記MISFETの上部に、450℃～700℃の温度で、プラズマCVD法を用いて絶縁膜を形成し、この絶縁膜上に、前記容量素子の下部電極を構成する

シリコン膜を形成したので、シリコン膜の表面積を大きくすることができ、容量を確保することができる。また、前記絶縁膜中の水分や不純物を除去するための熱処理による負荷を低減することができ、MISFETの特性の劣化を防止することができる。特に、メモリセルの周辺にデュアルゲート構造を有するMISFETが形成されている場合、これらのMISFETの特性を向上させることができる。

## 【0116】

また、半導体基板の主表面にMISFETを形成し、このMISFETの上部に、450°C～700°Cの温度で、プラズマCVD法を用いて不純物を含有する絶縁膜を形成したので、かかる絶縁膜中の水分や副生成物等を除去するための熱処理による負荷を低減することができ、MISFETの特性の劣化を防止することができる。

## 【図面の簡単な説明】

## 【図1】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

## 【図2】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

## 【図3】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

## 【図4】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

## 【図5】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

## 【図6】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図7】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】

本発明の実施の形態の効果を説明するための図である。

【図9】

本発明の実施の形態の効果を説明するための図である。

【図10】

本発明の実施の形態の効果を説明するための図である。

【図11】

本発明の実施の形態の効果を説明するための図である。

【図12】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図13】

本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図14】

本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図15】

本発明の実施の形態3である半導体集積回路装置の製造方法を示すための基板の要部断面図である。

【図16】

本発明の実施の形態4である半導体集積回路装置の製造方法を示すための基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離
- 3 p型ウエル
- 4 n型ウエル
- 7 酸化シリコン膜
- 8 ゲート酸化膜
- 9 ゲート電極
- 9 a n n型の多結晶シリコン膜
- 9 a p p型の多結晶シリコン膜
- 9 b WN膜
- 9 c W膜
- 9 n n型のゲート電極
- 9 p p型のゲート電極
- 10 窒化シリコン膜
- 11 n<sup>-</sup>型半導体領域
- 12 p<sup>-</sup>型半導体領域
- 13 窒化シリコン膜
- 14 n<sup>+</sup>型半導体領域
- 15 p<sup>+</sup>型半導体領域
- 16 酸化シリコン膜
- 17 n<sup>+</sup>型半導体領域
- 18、19 コンタクトホール
- S コバルトシリサイド層
- 20 プラグ
- 21 酸化シリコン膜
- 22、23 コンタクトホール
- 25 スルーホール
- 27 プラグ
- 30～32 第1層配線

3 4 酸化シリコン膜  
 3 8 スルーホール  
 3 9 プラグ  
 4 0 窒化シリコン膜  
 4 1 酸化シリコン膜  
 4 1 a 酸化シリコン膜  
 4 1 b 酸化シリコン膜  
 4 2 溝  
 4 3 下部電極（多結晶シリコン膜）  
 4 3 a アモルファスシリコン膜  
 4 3 b シリコン粒  
 4 4 酸化タンタル膜  
 4 5 TiN膜  
 5 0 酸化シリコン膜  
 5 1 スルーホール  
 5 3 プラグ  
 5 4～5 6 第2層配線  
 6 0 窒化シリコン膜  
 6 1 酸化シリコン膜  
 6 1 a 酸化シリコン膜  
 6 1 b 酸化シリコン膜  
 BL ピット線  
 C キャパシタ（情報蓄積用容量素子）  
 Q n nチャネル型MISFET  
 Q p pチャネル型MISFET  
 Q s 情報転送用MISFET  
 R レジスト膜  
 WL ワード線  
 MCFa メモリセル形成領域

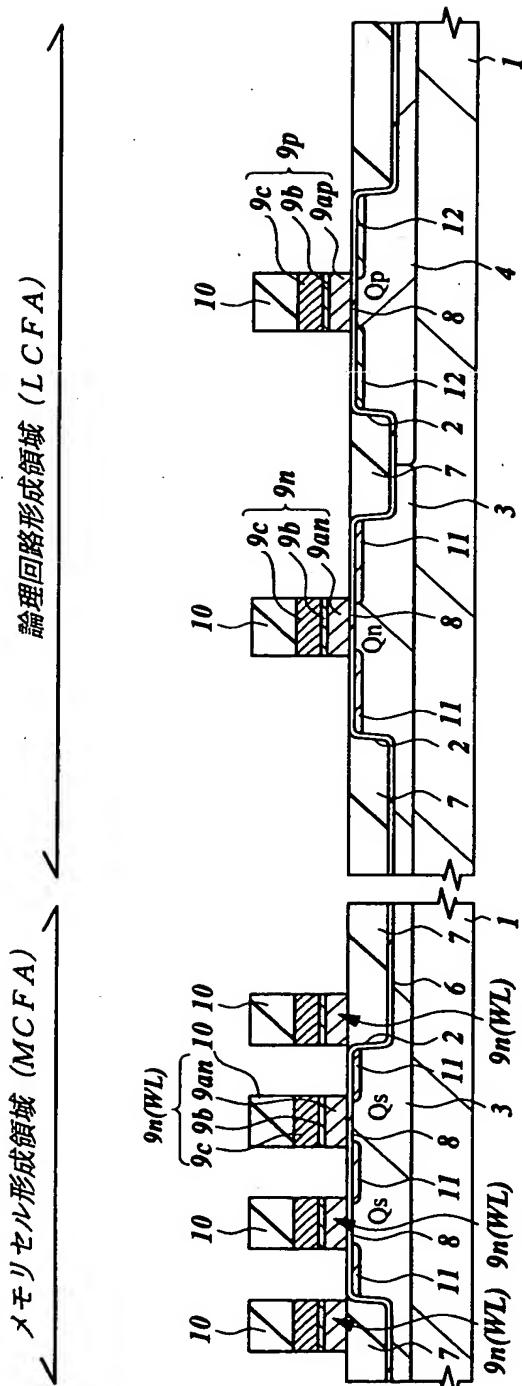
特2001-285248

L C F A 論理回路形成領域

【書類名】 図面

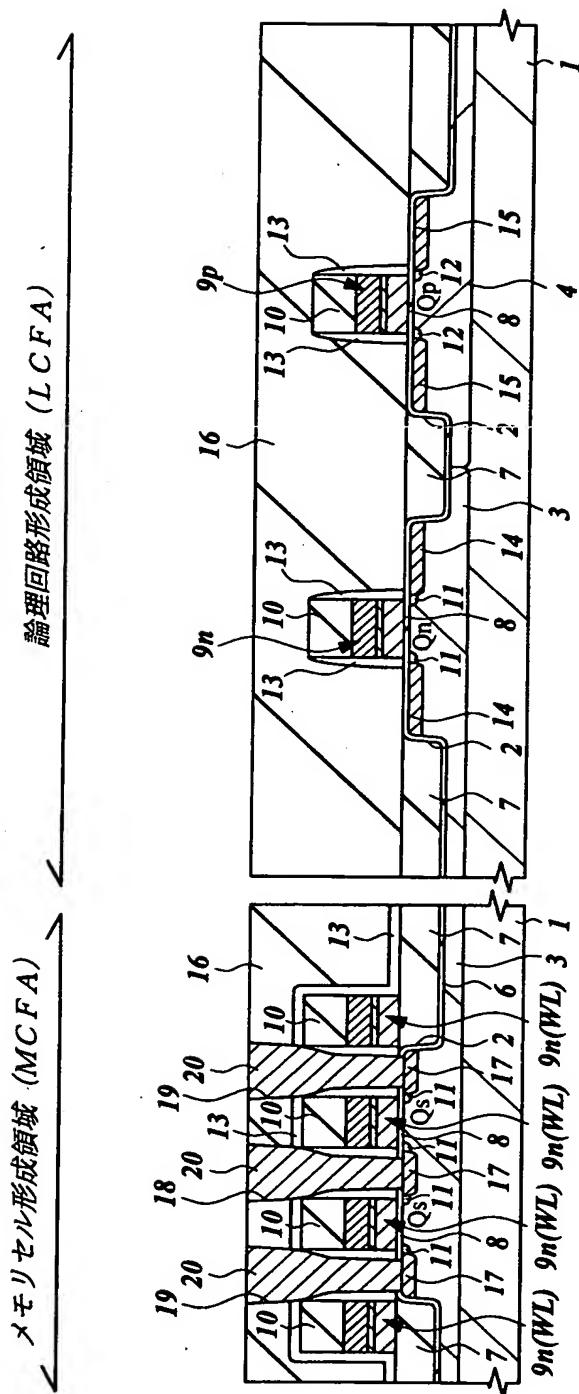
【図1】

図1

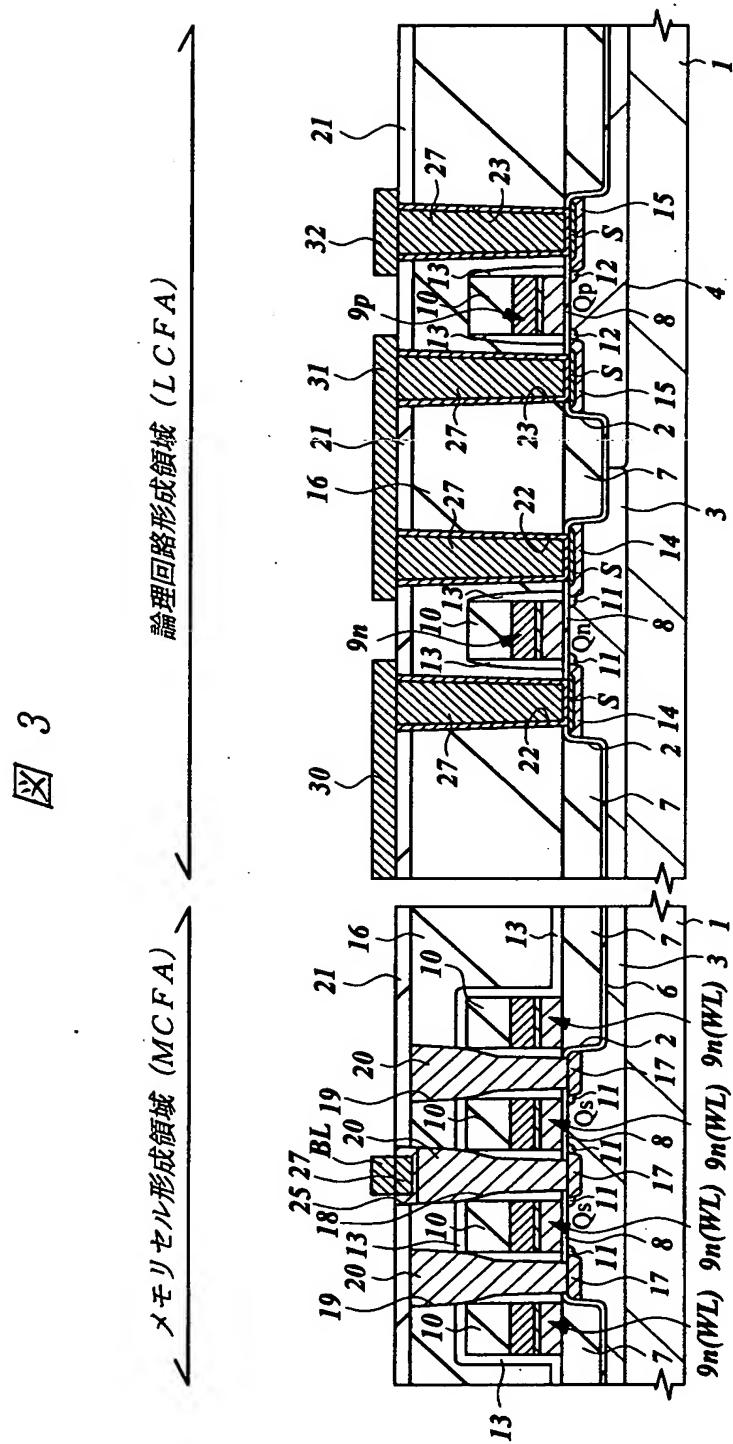


【図2】

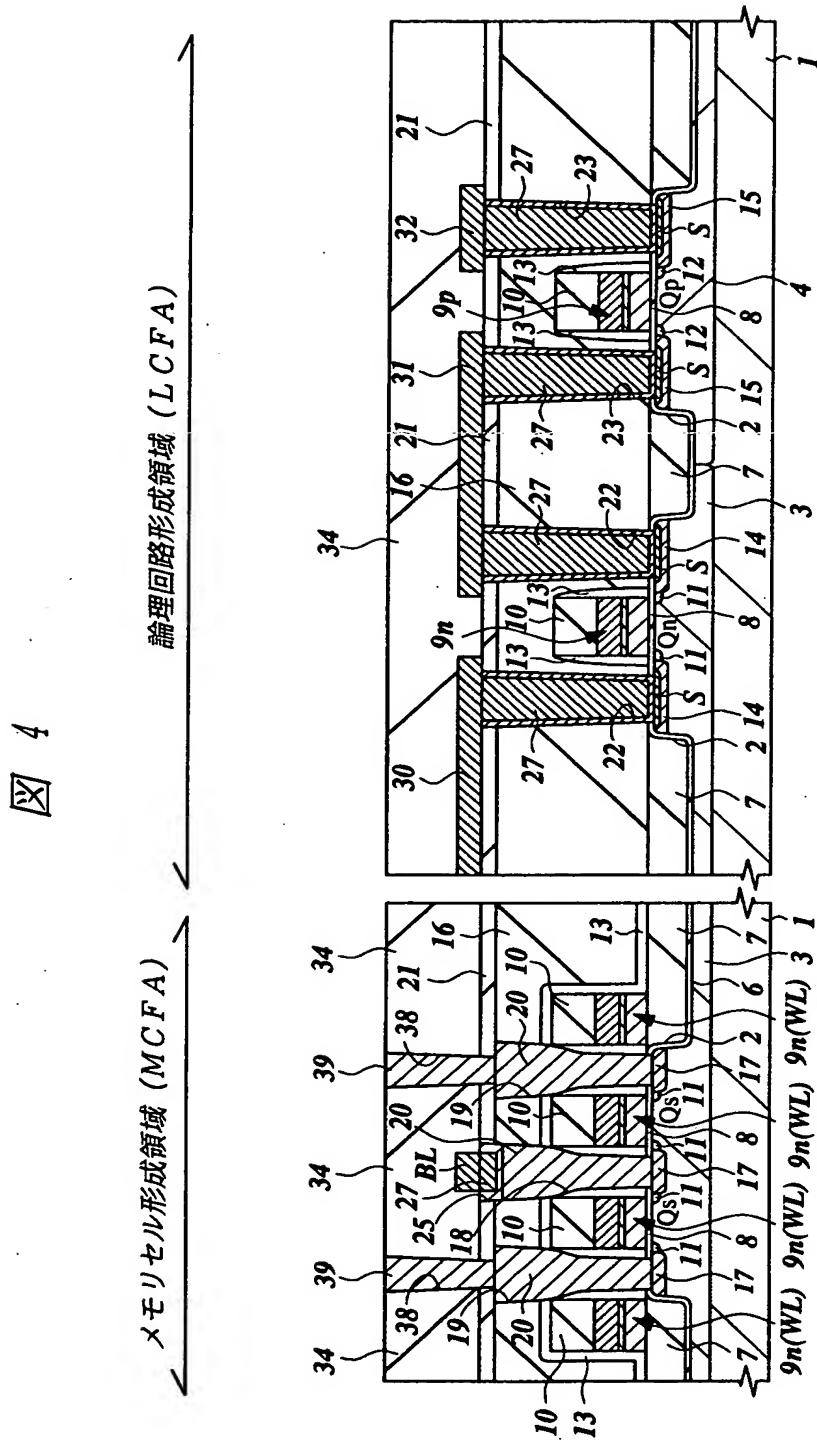
図2



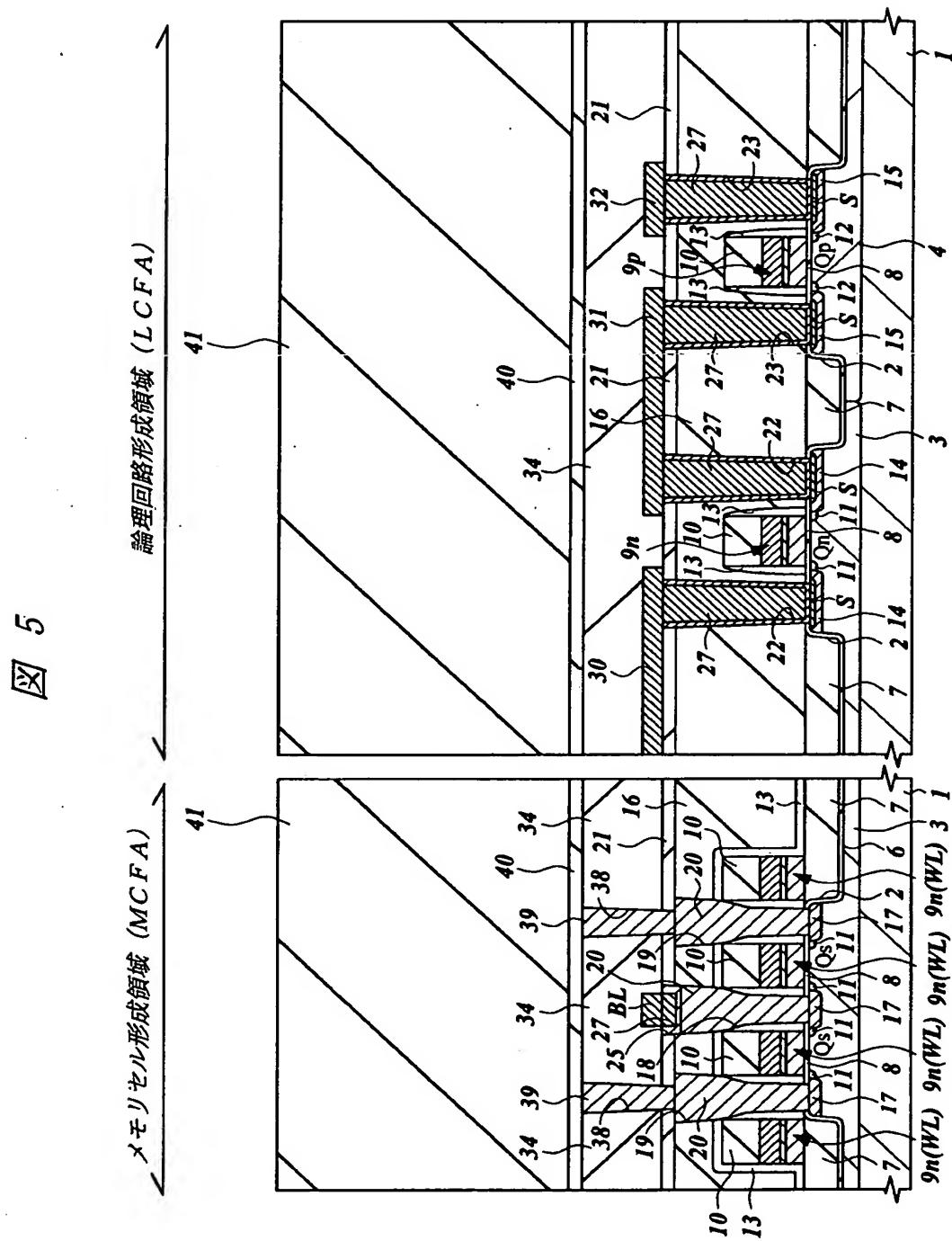
### 【図3】



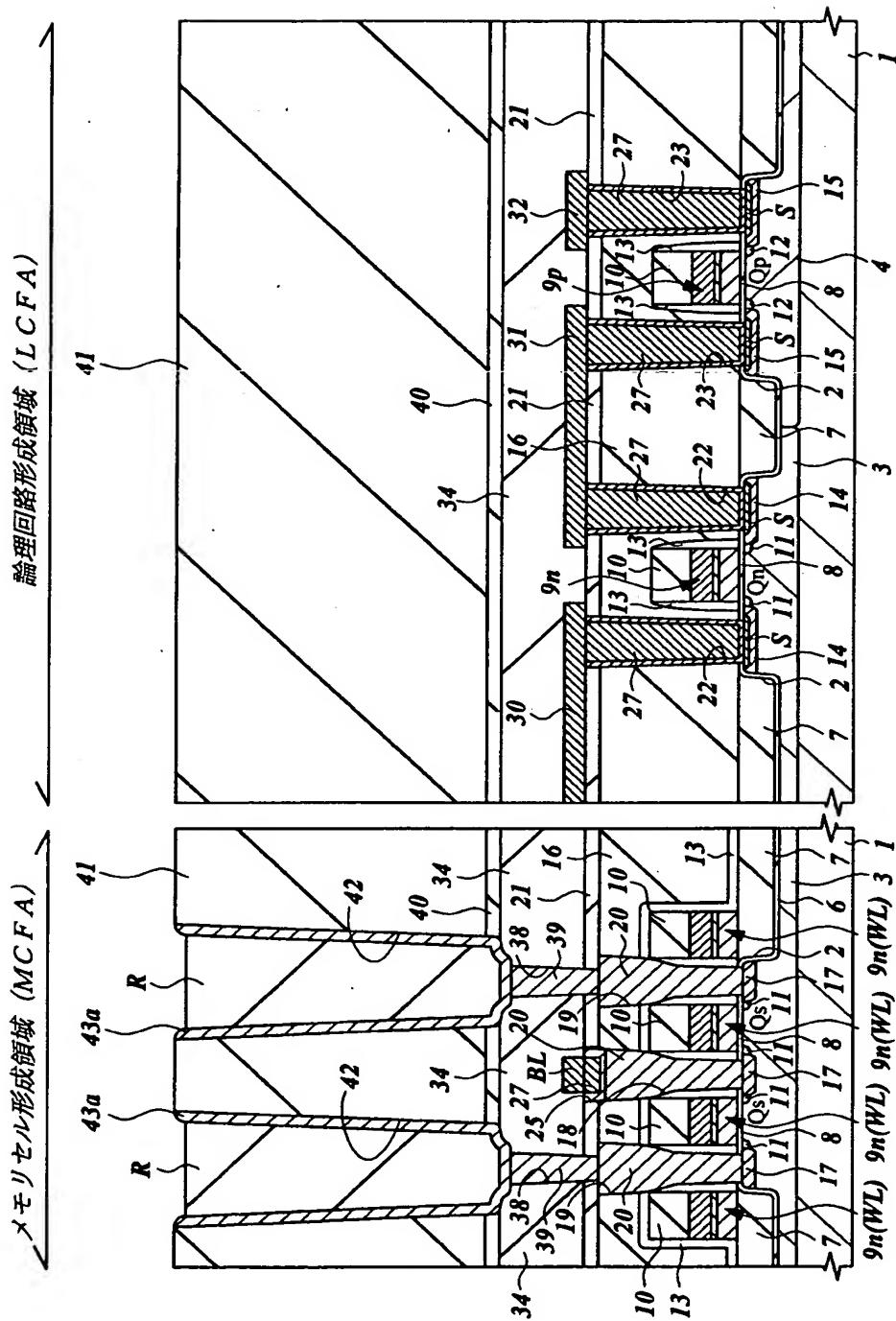
### 【図4】



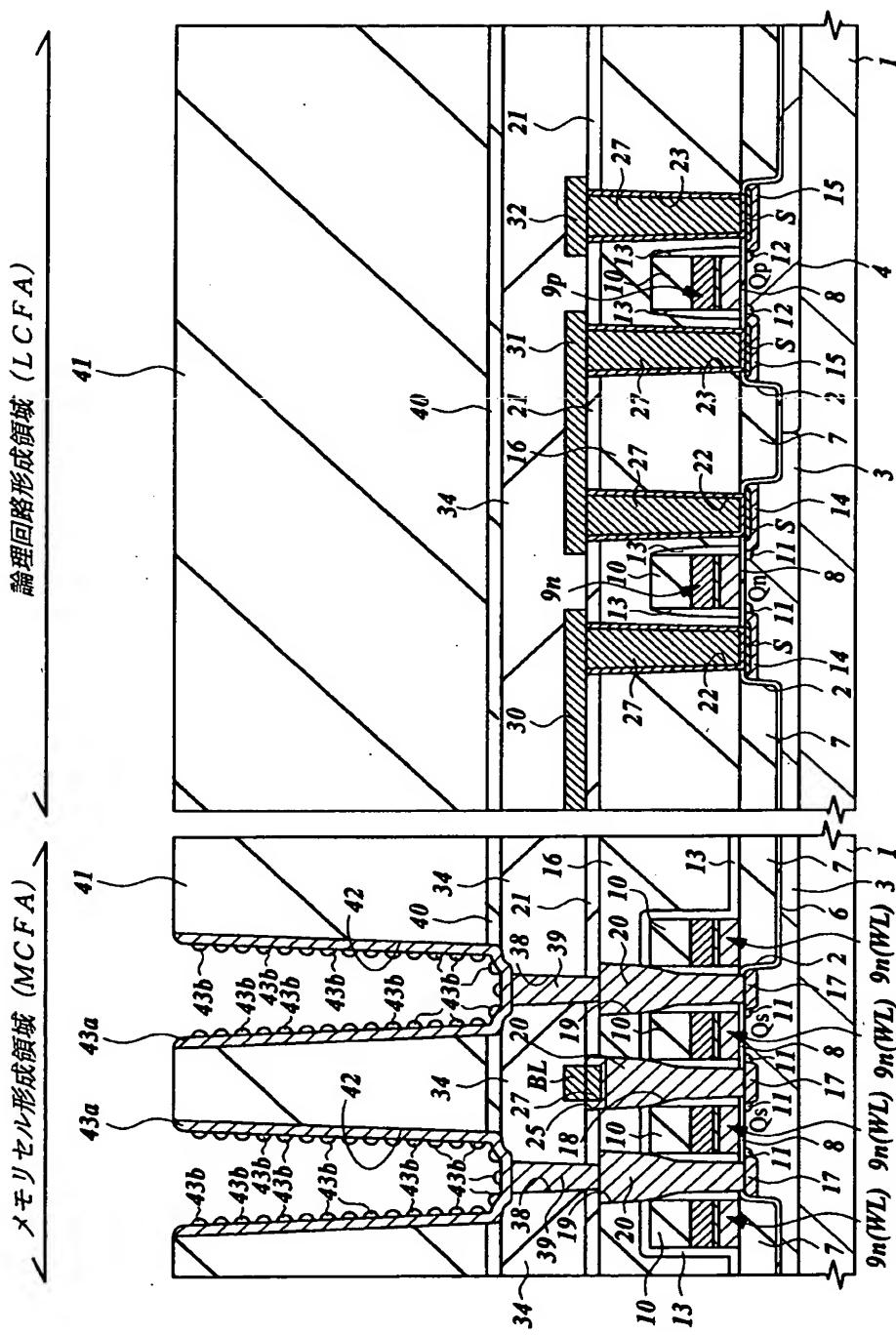
【図5】



【図6】

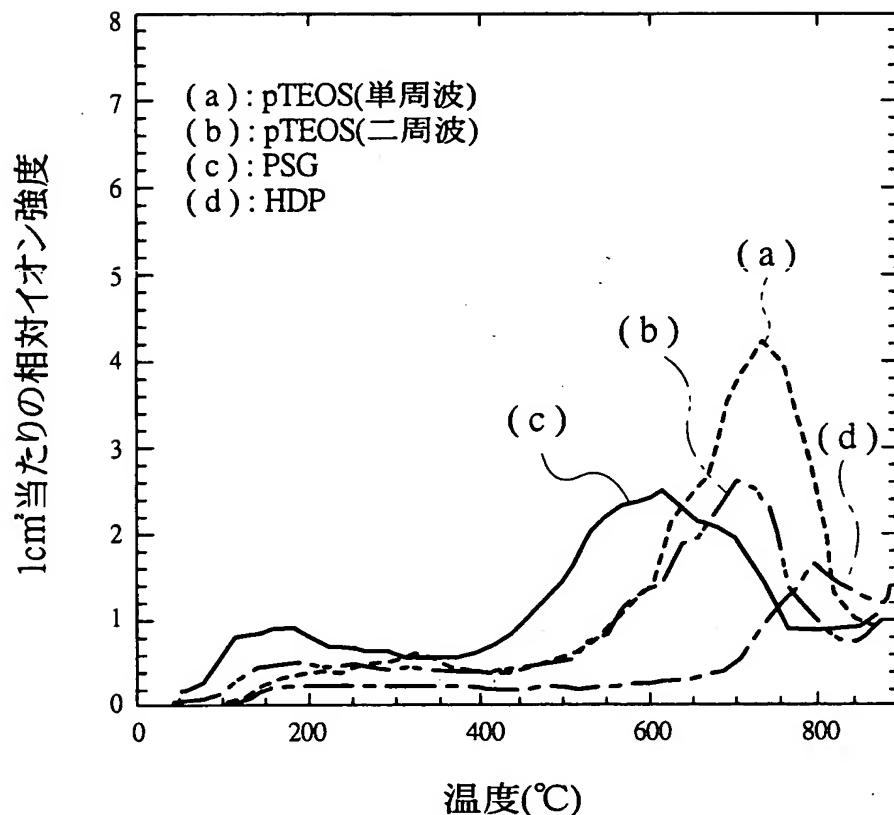


【図7】



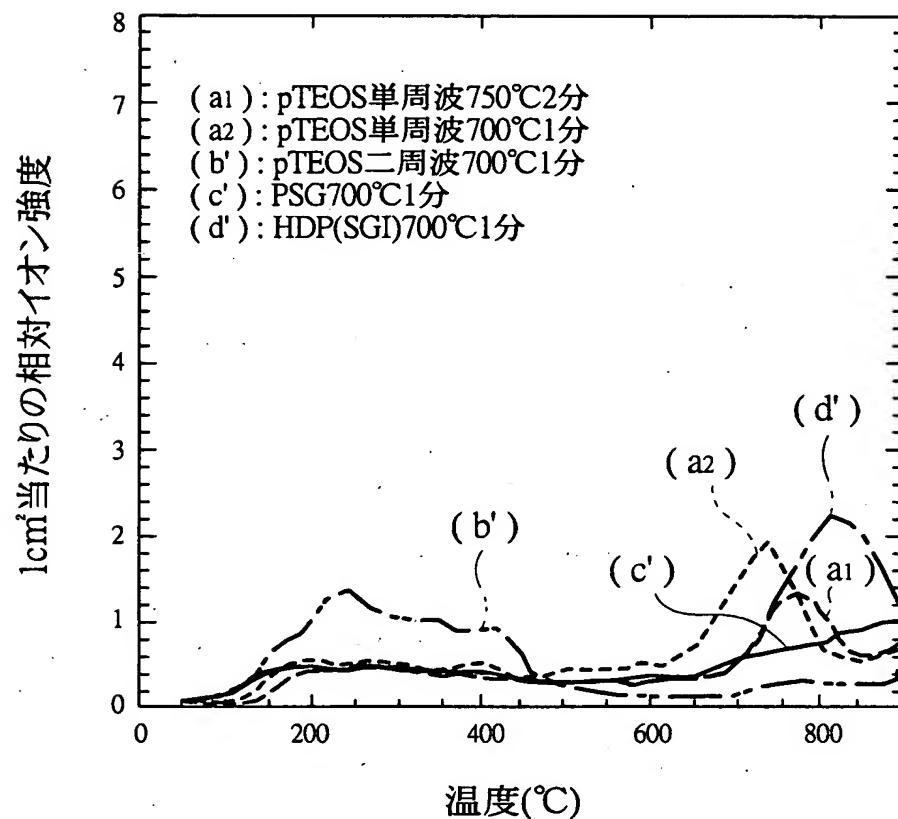
【図8】

図8



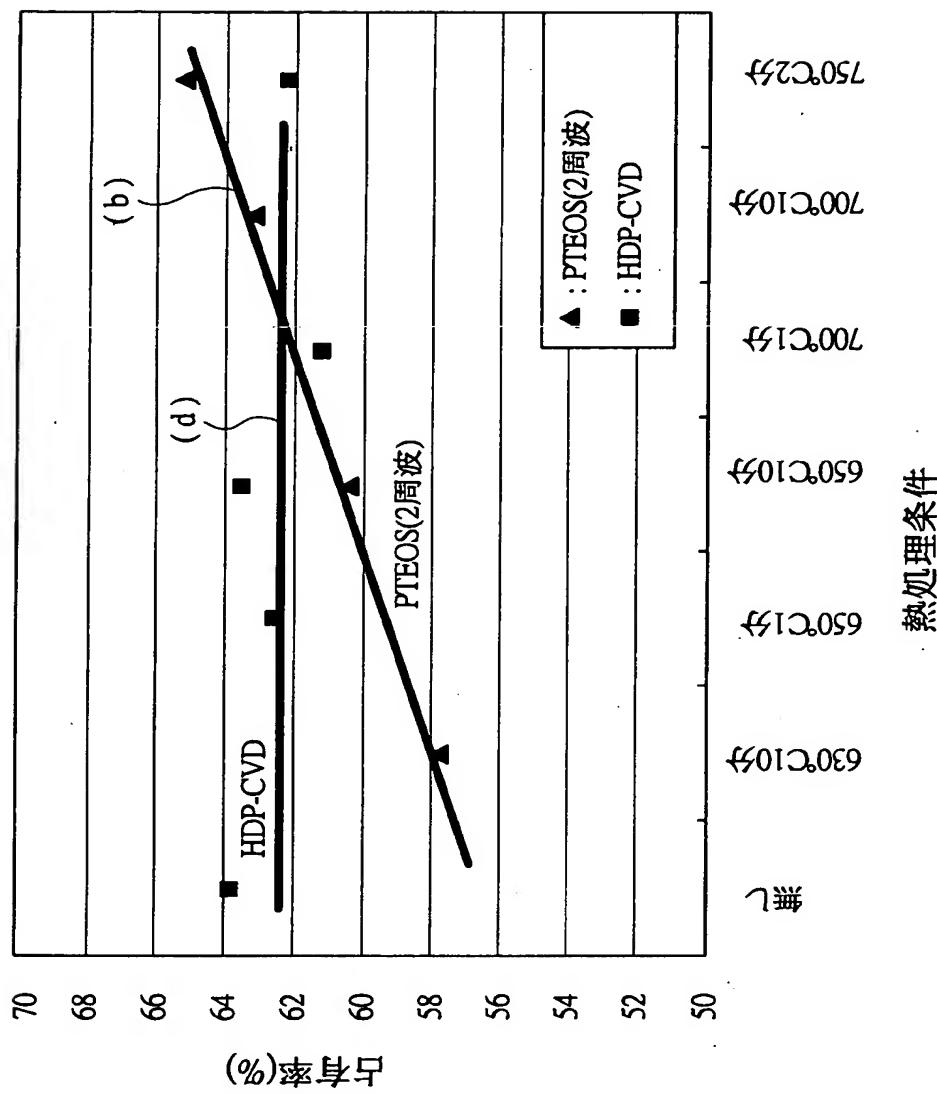
【図9】

図9



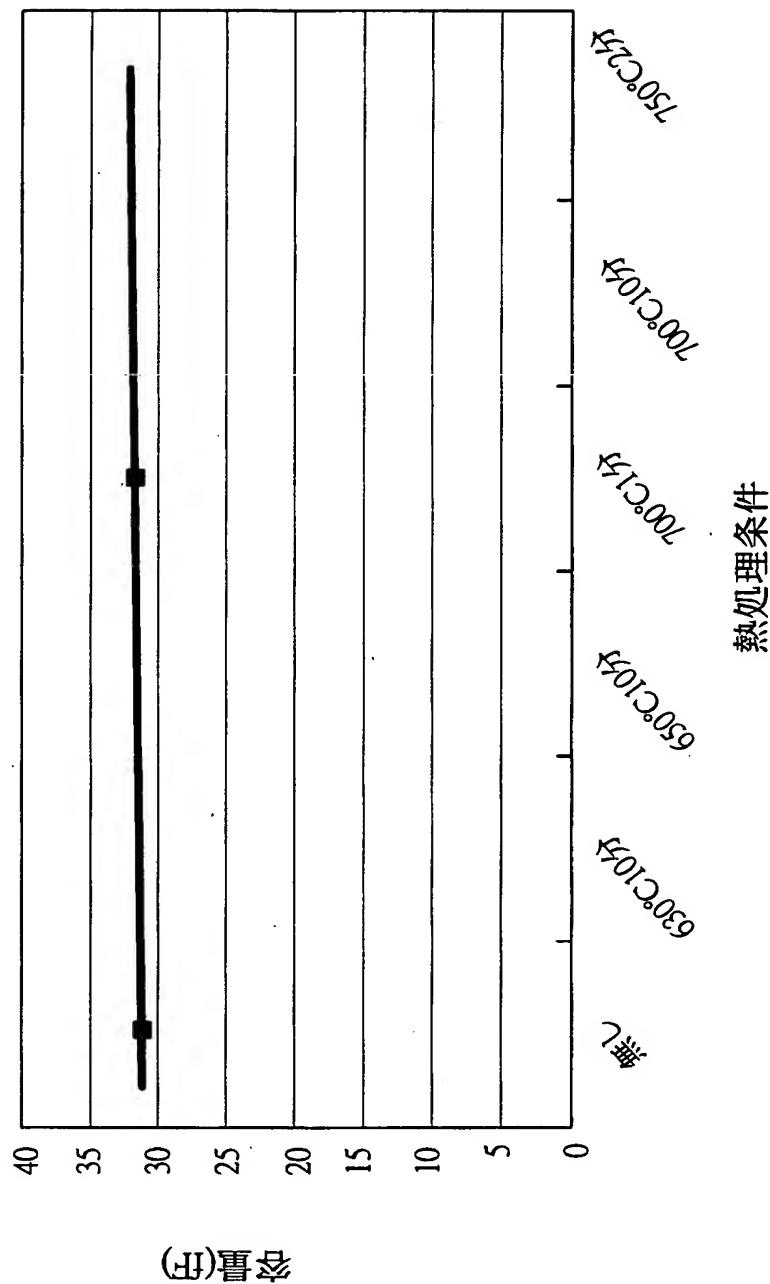
【図10】

図10

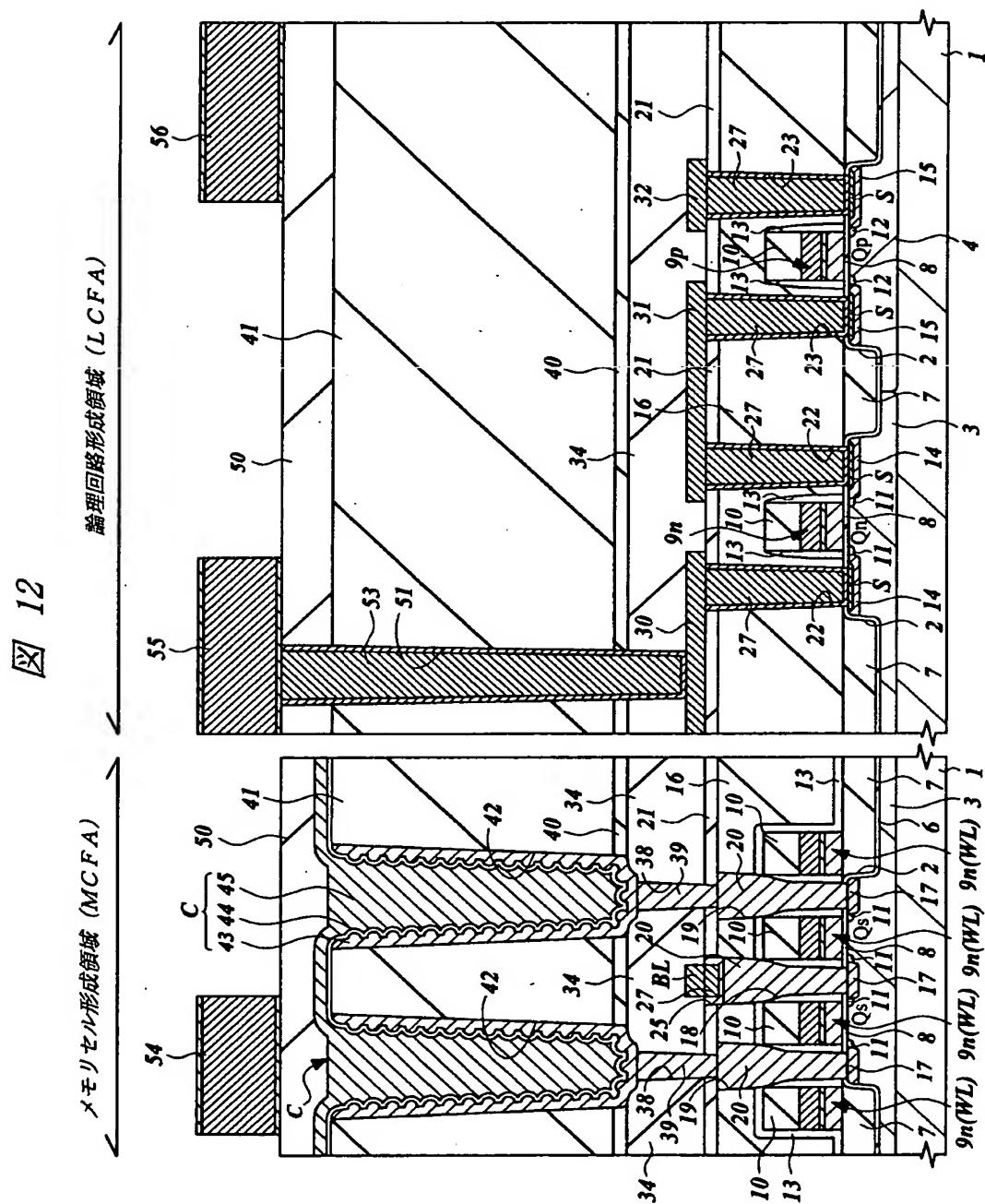


【図11】

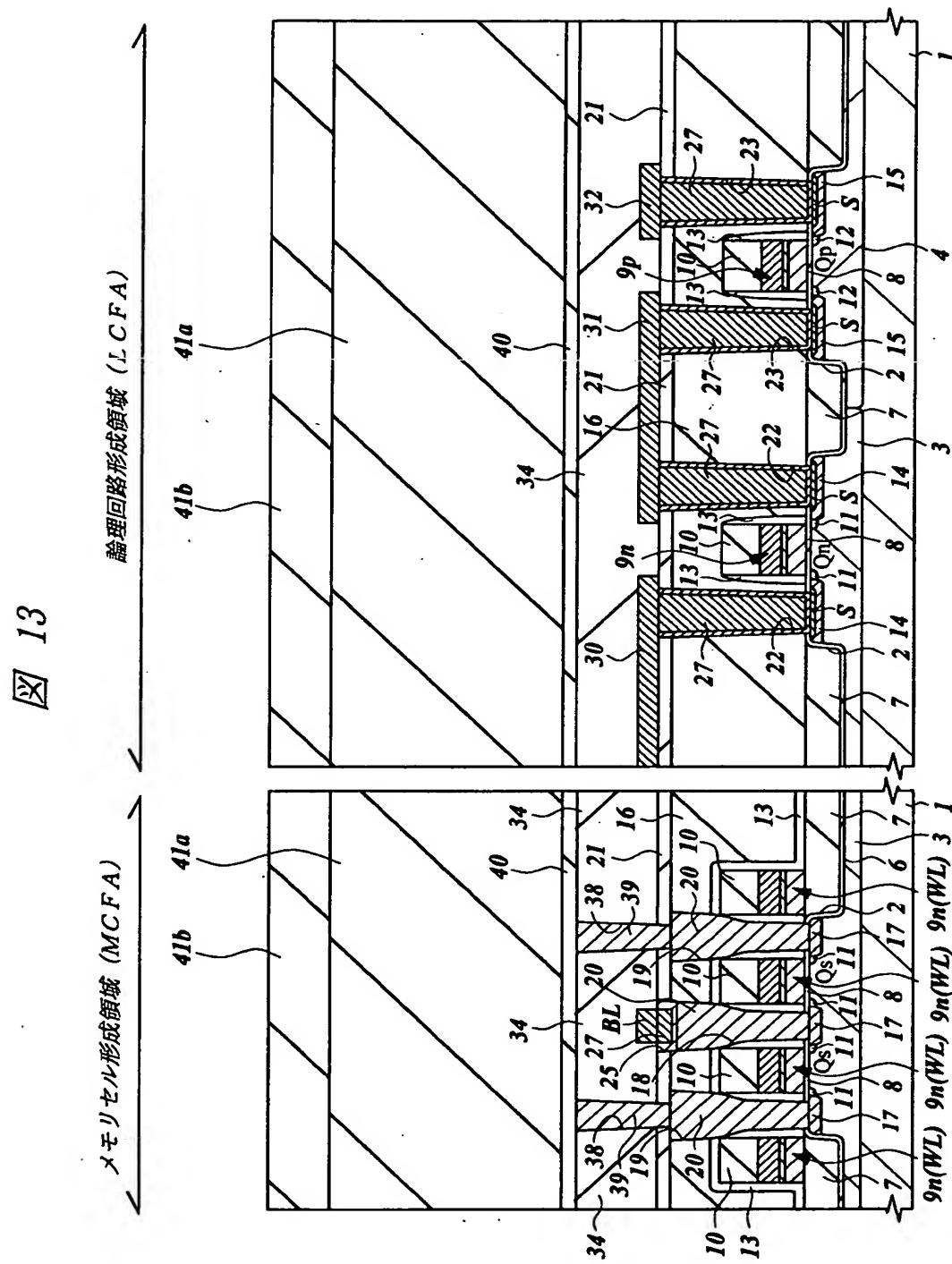
図11



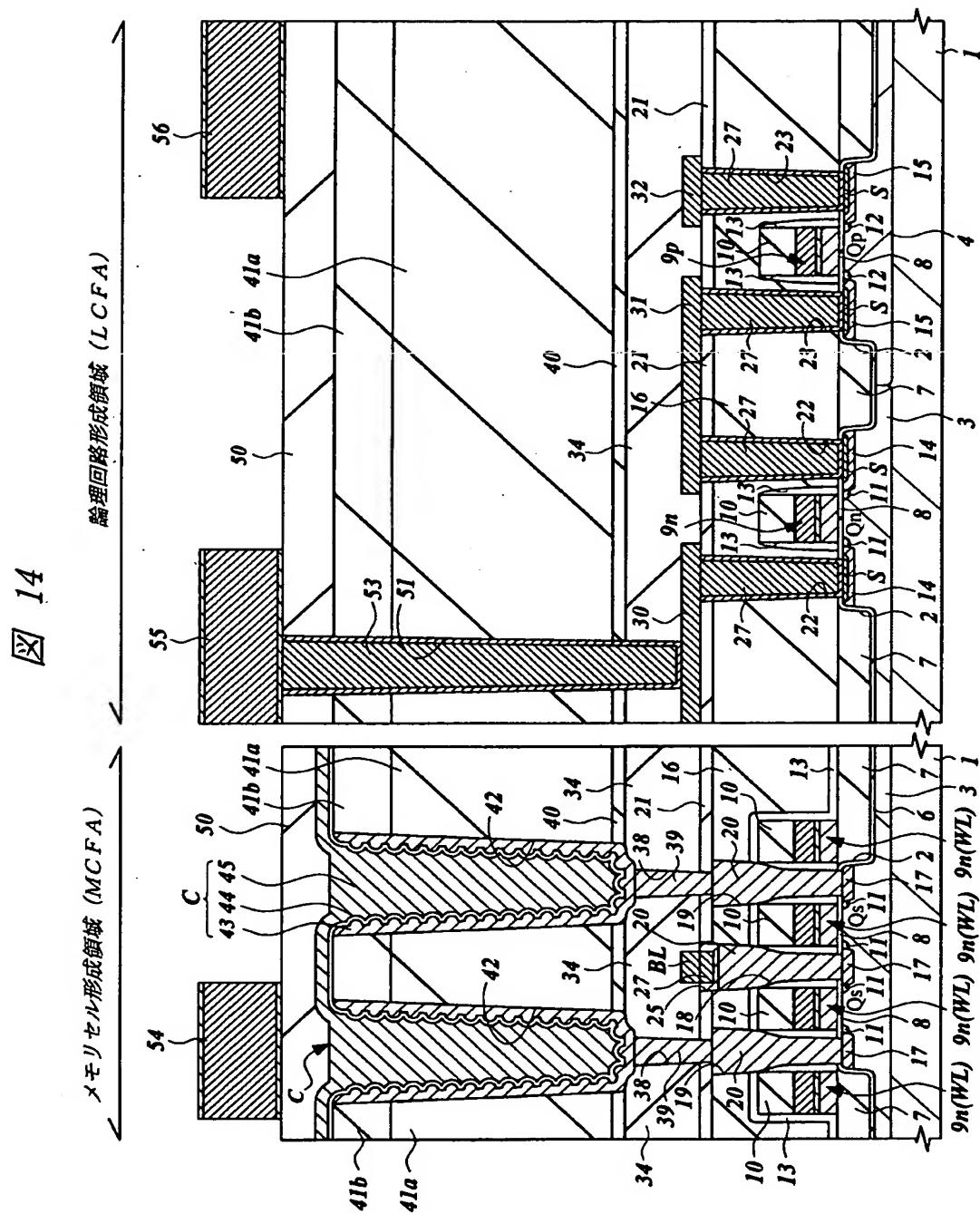
【図12】



【図13】

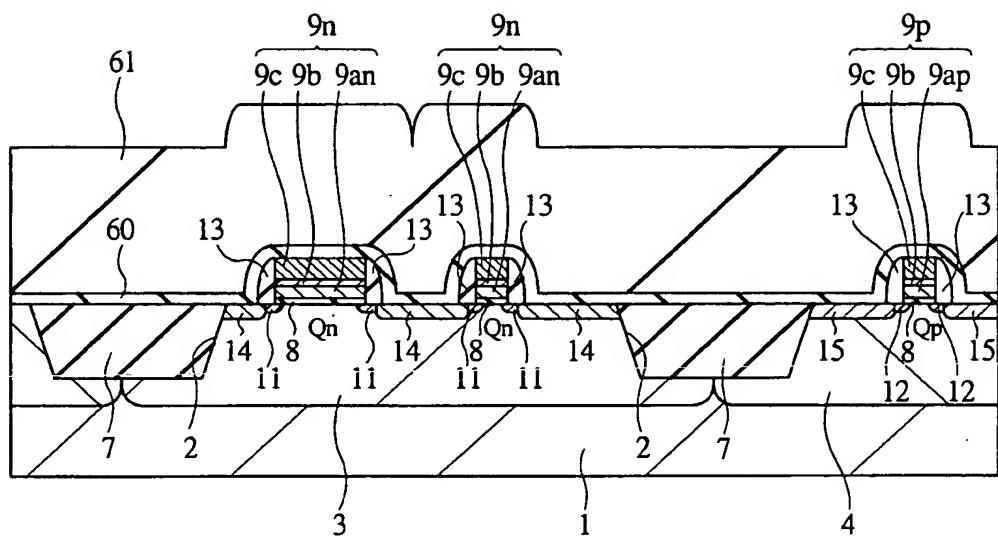


【図14】



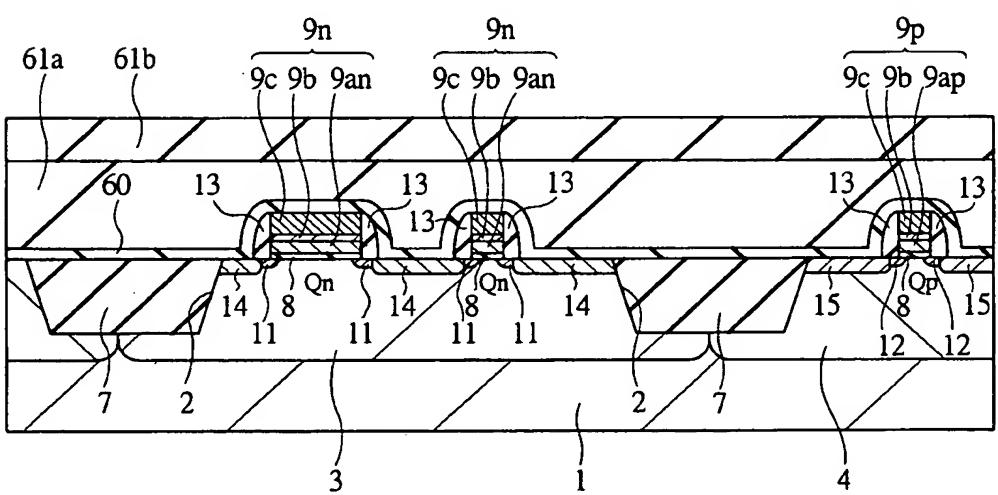
【図15】

図15



【図16】

図16



【書類名】 要約書

【要約】

【課題】 DRAMメモリセル形成時の熱処理による負荷を低減させ、メモリセルおよびこれと同一基板上に形成されるMISFETの特性を向上させる。

【解決手段】 メモリセル形成領域に、情報転送用MISFETQsとキャパシタCからなるメモリセルが形成され、論理回路形成領域に、論理回路を構成するnチャネル型MISFETQnとpチャネル型MISFETQpとが形成される半導体集積回路装置の、キャパシタCが形成される酸化シリコン膜41を、450°C~700°Cの温度で、プラズマCVD法を用いて形成する。その結果、酸化シリコン膜41からの脱ガス量を低減でき、脱ガスによってキャパシタCの下部電極43を構成するシリコン膜表面のシリコン粒の成長が阻害されず、容量を大きくすることができ、また、酸化シリコン膜41の成膜後に、水分等を除去するための熱処理工程を省くことができ、MISFETの特性の劣化を防止することができる。

【選択図】 図12

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地  
氏名 株式会社日立製作所